



PATENT

Attorney Docket No.: SAM-0520

Customer No.: 29344

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Chang-Ho Lee, *et al.* Examiner: Not Yet Assigned  
Serial No.: 10/823,858 Group Art Unit: Not Yet Assigned  
Filing Date: April 14, 2004  
Title: APPARATUS AND METHOD FOR SIGNAL BUS LINE LAYOUT IN SEMICONDUCTOR DEVICE

CERTIFICATE OF MAILING UNDER 37 C.F.R. § 1.8

I hereby certify that this correspondence is being deposited with the United States Post Office as First Class Mail on the date indicated below in an envelope addressed to Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

6-4-04

Date

Chelsey Davis

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

TRANSMITTAL LETTER

Sir:

Enclosed herewith for filing in the above-identified patent application please find the following listed items:

1. Transmittal of Priority Document;
2. Certified Copy of Priority Document- Korean Application No. 03-39163; and
3. Return Postcard.

In connection with the foregoing matter, please charge any additional fees which may be due, or credit any overpayment, to Deposit Account Number 50-1798. A duplicate copy of this letter is provided for this purpose.

Respectfully submitted,

Date: June 4, 2004  
Mills & Onello, LLP  
Eleven Beacon Street, Suite 605  
Boston, MA 02108  
Telephone: (617) 994-4900  
Facsimile: (617) 742-7774  
J:\SAM\0520\transpriordoc.wpd

Steven M. Mills  
Registration Number 36,610  
Attorney for Applicant



PATENT  
Attorney Docket No.: SAM-0520

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Chang-Ho Lee, *et al.* Examiner: Not Yet Assigned  
Serial No.: 10/823,858 Group Art Unit: Not Yet Assigned  
Filing Date: April 14, 2004  
Title: APPARATUS AND METHOD FOR SIGNAL BUS LINE LAYOUT IN SEMICONDUCTOR DEVICE

CERTIFICATE OF MAILING UNDER 37 C.F.R. § 1.8

I hereby certify that this correspondence is being deposited with the United States Post Office as First Class Mail on the date indicated below in an envelope addressed to Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

6-4-04

Date

Chelsey Davis

Chelsey Davis

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

TRANSMITTAL OF PRIORITY DOCUMENT

Sir:

Transmitted herewith for filing in the captioned application is the certified copy of the Korean Priority document, Korean patent application No. 03-39163.

Respectfully submitted,

Date: June 4, 2004  
Mills & Onello, LLP  
Eleven Beacon Street, Suite 605  
Boston, MA 02108  
Telephone: (617) 994-4900  
Facsimile: (617) 742-7774  
J:\SAM\0520\prioritydoctrans.wpd

Steven M. Mills  
Steven M. Mills  
Registration Number 36,610  
Attorney for Applicant



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0039163  
Application Number

출원 년 월 일 : 2003년 06월 17일  
Date of Application  
JUN 17, 2003

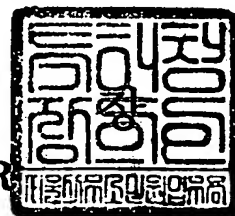
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      07      월      09      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.06.17
【발명의 명칭】	반도체 장치의 신호버스라인 배치구조 및 방법
【발명의 영문명칭】	signal bus lines layout in semiconductor device and method therefore
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	김능균
【대리인코드】	9-1998-000109-0
【포괄위임등록번호】	2003-002377-2
【발명자】	
【성명의 국문표기】	이창호
【성명의 영문표기】	LEE, Chang Ho
【주민등록번호】	661222-1690415
【우편번호】	442-070
【주소】	경기도 수원시 팔달구 인계동 삼성아파트 101동 1609호
【국적】	KR
【발명자】	
【성명의 국문표기】	최종현
【성명의 영문표기】	CHOI, Jong Hyun
【주민등록번호】	650120-1927221
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 망포동 동수원엘지빌리지 102동 1604호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김능균 (인)

**【수수료】**

【기본출원료】 20 면 29,000 원

【가산출원료】 12 면 12,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 21 항 781,000 원

【합계】 822,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

칩사이즈를 증가시킴이 없이 전원공급 버스의 라인저항을 최소화하기 위하여 반도체 장치의 신호버스라인 배치구조 및 방법이 개시된다. 그러한 반도체 장치는, 복수의 반도체 회로 콤포넌트가 형성되어 있는 반도체 기판의 상부에 형성되며, 복수의 본딩패드가 줄지어 이격배치되는 방향인 제1방향과는 대체로 직교하는 제2방향으로 서로 이격적으로 배치되고, 상기 각 본딩패드의 형상 및 면적과 유사한 형상 및 면적을 각기 갖는 복수의 랜딩블록과; 상기 제2방향을 따라 상기 복수의 랜딩블록의 상부에 배치되며, 상기 복수의 본딩패드가 위치한 층과 동일한 층에 형성된 적어도 하나의 전원공급 버스를 구비함을 특징으로 한다.

**【대표도】**

도 2

**【색인어】**

반도체 장치, 반도체 메모리 장치, 신호버스라인, 전원공급 버스, 본딩패드

**【명세서】****【발명의 명칭】**

반도체 장치의 신호버스라인 배치구조 및 방법{signal bus lines layout in semiconductor device and method therefore}

**【도면의 간단한 설명】**

도 1은 컨벤셔널 기술에 따른 반도체 메모리 장치에서 본딩패드들 및 전원공급 버스라인의 배치를 보인 블록도

도 2는 본 발명의 제1 실시예에 따라 센터 패드방식의 반도체 메모리 장치에서 전원공급 버스라인의 배치를 보인 블록도

도 3 내지 도 6은 도 2내의 특정부(A1)의 확대 상세 및 단면 확대 상세들을 각기 보인 도면들

도 7은 본 발명의 제2 실시예에 따라 에지 패드방식의 반도체 메모리 장치에서 전원공급 버스라인의 배치를 보인 블록도

도 8은 도 7내의 특정부(B1)의 확대 상세 및 변형 예를 각기 보인 도면

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <6> 본 발명은 반도체 장치에 관한 것으로, 특히 반도체 메모리 등과 같은 반도체 장치의 신호버스라인 배치구조 및 방법에 관한 것이다.
- <7> 통상적으로, 반도체 메모리장치 등과 같은 반도체 장치의 칩(chip)의 주변영역 상에는 칩 외부와의 전기적 접속을 가능하게 하기 위한 본딩 패드들(bonding pads)이 놓여진다. 상기 본딩 패드들을 통하여 코멘드 입력, 데이터 리드, 및 데이터 라이트 동작에 관련된 신호들이 칩 내부로 입력되거나, 칩의 외부로 출력된다.
- <8> 반도체 제조 공정이 나날이 진보되고 있지만 그러한 본딩 패드의 사이즈 감소율은 칩 사이즈의 감소율보다 현저히 낮다. 왜냐하면, 칩 사이즈의 감소율만큼 본딩 패드의 사이즈를 줄인다면, 본딩 패드들을 본딩하는 본딩장비 및 테스트 장비등도 그에 맞게 교체해 주어야 하는데, 이는 반도체 장치의 제조원가 측면에서 바람직하지 않기 때문이다. 따라서, 반도체 장치가 고집적화 될수록 본딩 패드들이 칩내에서 차지하는 면적은 증가하게 된다.
- <9> 다양한 고객 수요(customer needs)에 부응하여 반도체 칩이 다양한 패키지 타입에 선택적으로 적용될 수 있도록 하기 위해, 상기 본딩 패드들은 칩내의 센터 영역과 에지 영역에 중복적으로 형성된다. 본딩 공정에서 상기 센터 영역에 형성된 본딩 패드들이 본딩되는 경우를 본 분야에서는 센터 패드방식이라 칭하고, 상기 에지 영역에 형성된 본딩 패드들이 본딩되는 경우를 에지 패드방식이라 부른다. 예를 들어, 반도체 칩에 BOC



타입의 패키지를 적용하는 경우에 에지 패드방식보다는 센터 패드방식이 적합하므로 센터 영역에 형성된 본딩 패드들이 본딩되는 반면에, 에지 영역에 형성된 본딩 패드들은 본딩되지 않는다. 한편, MCP 타입의 패키지를 적용하는 경우 에지 패드방식이 선호되므로 에지 영역에 형성된 본딩 패드들에 대해서만 본딩이 이루어진다. 센터 패드방식에서 와이어 본딩이 수행되는 경우에 리드 와이어는 상기 메모리 셀 어레이 영역의 상부를 가로싱(crossing)하게 된다. 에지 패드방식의 경우에 메모리 셀 어레이 영역의 상부를 가로지르는 와이어는 없다. 에지 패드방식에서는 본딩 패드들이 에지영역에 분산됨에 따라 신호 완결성(signal integrity)이 센터 패드방식의 경우에 비해 상대적으로 취약하게 된다.

<10> 반도체 장치의 고집적 및 고속화에 따라 반도체 장치의 구동을 위한 전력 소모는 점점 증가되고 있다. 따라서, 전력소모의 증가에 비례하여 파워 노이즈도 증가되므로 반도체 장치의 맵핑션(malfuction)이 점점 문제시된다. 그러한 파워 노이즈에 기인하는 맵핑션을 방지하기 위해서는 배선 저항을 줄이는 대책이 필요하다. 따라서, 반도체 장치의 설계 시, 상기 본딩 패드들의 주위에 통상적으로 배치되는 파워라인의 단면적을 크게 하기 위하여, 설계자는 파워라인의 폭을 증가시키는 방법을 흔히 사용한다. 파워라인의 폭을 증가시키는 경우에 상기 파워라인에 인접 위치된 상기 본딩 패드들과의 설계 마아진은 점점 더 타이트해진다.

<11> 도 1은 컨벤셔널 기술(conventional art)에 따른 반도체 메모리 장치에서 본딩패드들 및 전원공급 버스라인의 배치를 보인 것이다.

<12> 도면을 참조하면, 반도체 칩(20)내의 메모리 셀 어레이 영역에는 4개의 메모리뱅크들(10-13)이 배치되고, 상기 메모리 셀 어레이 영역을 제외한 영역 즉, 주변영역에는

본딩 패드들(PD)과 전원공급 버스라인들(P1,P2,P11,P21)이 배치된 것이 보여진다. 상기 메모리 뱅크(10)와 메모리 뱅크(12)의 사이 및 상기 메모리 뱅크(11)와 메모리 뱅크(13)의 사이에서, 센터 영역(CR)의 방향을 따라 줄지어 배치된 본딩 패드들(PD)은 센터 패드 방식에 적용된다. 한편, 상기 칩(20)의 양 에지 영역(ER)의 방향을 따라 서로 평행하게 배치된 본딩 패드들(PD)은 에지 패드방식에 적용된다. 구체적으로, 상기 반도체 칩(20)에 대하여 BOC 타입의 패키지를 적용할 경우, 센터 패드방식이 이용되므로, 상기 전원공급 버스라인들(P1,P2)사이에 배치된 에지 영역(ER)의 본딩 패드들(PD)은 사용되지 아니하고, 상기 전원공급 버스라인들(P11,P21)사이에 배치된 센터 영역(CR)의 본딩 패드들(PD)이 와이어 본딩의 대상으로서 사용된다. 또한, 상기 반도체 칩(20)에 대하여 MCP 타입의 패키지를 적용할 경우, 에지 패드방식이 이용되므로, 상기 전원공급 버스라인들(P1,P2)사이에 배치된 에지 영역(ER)의 본딩 패드들(PD)이 사용되고, 상기 전원공급 버스라인들(P11,P21)사이에 배치된 센터 영역(CR)의 본딩 패드들(PD)은 사용되지 않는다.

<13>        에지 패드방식이 선택되는 경우에, 상기 전원공급 버스라인들(P11,P21)과 상기 전원공급 버스라인들(P1,P2)은 상기 전원공급 버스라인들(P1,P2)사이에 배치된 에지 영역(ER)의 본딩 패드들(PD)중 대응되는 전원공급 패드로부터 제공되는 전원을 공통으로 공급받는다. 여기서, 상기 전원공급 버스라인들(P11,P21)은 상기 전원공급 버스라인들(P1,P2)에 비해 본딩 패드에서 멀리 떨어져 배치되어 있기 때문에 상기 전원공급 버스라인들(P11,P21)의 배선저항은 상대적으로 크다. 결국, 에지 패드방식의 경우에는 센터 영역(CR)에 배치된 전원공급 버스라인들(P11,P21)의 배선저항을 줄이는 대책이 필요함을 알 수 있다.

<14>        센터 패드방식이 선택되는 경우에, 상기 전원공급 버스라인들(P11,P21)과 상기 전원공급 버스라인들(P1,P2)은 상기 전원공급 버스라인들(P11,P21)사이에 배치된 센터 영역(CR)의 본딩 패드들(PD)중 대응되는 전원공급 패드로부터 제공되는 전원을 공통으로 공급받는다. 여기서, 상기 전원공급 버스라인들(P1,P2)은 상기 전원공급 버스라인들(P11,P21)에 비해 본딩 패드에서 멀리 떨어져 배치되어 있기 때문에 상기 전원공급 버스라인들(P1,P2)의 배선저항은 상대적으로 크다. 결국, 센터 패드방식의 경우에는 에지 영역에 배치된 전원공급 버스라인들(P1,P2)의 배선저항을 줄이는 대책이 필요함을 알 수 있다. 한편, 상기 전원공급 버스라인들(P1,P2)중 전원공급 버스라인(P1)이 전원전압 공급라인인 경우에 전원공급 버스라인(P2)은 접지전압 공급라인이 된다. 또한, 상기 전원공급 버스라인(P1)과 상기 전원공급 버스라인(P11)은 콘택을 통해 서로 연결되며, 상기 전원공급 버스라인(P2)과 상기 전원공급 버스라인(P21)은 콘택을 통해 서로 연결된다.

<15>        다양한 신호라인들 중 특히 전원공급 버스라인의 배선 저항을 줄이기 위해서는 도 1에서 보여지는 상기 전원공급 버스라인들(P11,P21)과 상기 전원공급 버스라인들(P1,P2)의 라인폭(width)을 증가시켜야 한다. 그런데, 상기 전원공급 버스라인들(P11,P21)과 상기 전원공급 버스라인들(P1,P2)의 근방에는 본딩 패드들이 배치되어 있기 때문에 라인폭을 증가시키는 것은 칩 사이즈의 증가 없이는 상당한 제한이 뒤따른다. 즉, 칩 사이즈를 증가시키지 않고서는 배선라인의 저항을 대폭적으로 줄이는 것이 곤란하게 되는 문제점이 있다.

<16>        따라서, 에지 패드방식과 센터 패드방식이 선택적으로 적용되는 반도체 장치에 있어서 본딩 패드들로부터 상대적으로 멀리 떨어져 칩내에 배치되는 배선라인 특히 전원공급 버스라인의 라인 저항을 칩 사이즈의 증가 없이 줄일 수 있는 대책이 절실히 요망된

다. 그러한 대책은 반도체 소자가 고속 고집적화 될수록 더욱 필요해질 것임에 틀림없다.

【발명이 이루고자 하는 기술적 과제】

- <17> 따라서, 본 발명의 목적은 상기한 종래의 문제점을 해결할 수 있는 반도체 장치를 제공함에 있다.
- <18> 본 발명의 다른 목적은 설정된 칩 사이즈를 증가시키지 않아도 배선라인의 폭을 충분히 확장할 수 있는 반도체 장치의 신호버스라인 배치구조 및 방법을 제공함에 있다.
- <19> 본 발명의 또 다른 목적은 설정된 칩 사이즈 내에서 배선라인의 라인 저항을 대폭적으로 줄일 수 있는 반도체 장치의 신호버스라인 배치구조 및 방법을 제공함에 있다.
- <20> 본 발명의 또 다른 목적은 에지 패드방식과 센터 패드방식이 선택적으로 적용되는 반도체 장치에 있어서 본딩 패드들로부터 상대적으로 멀리 떨어져 칩 내에 배치되는 배선라인 특히 전원공급 버스라인의 라인 저항을 칩 사이즈의 증가 없이 줄일 수 있는 신호버스 라인 배치 및 그에 따른 방법을 제공함에 있다.
- <21> 본 발명의 또 다른 목적도 BOC 타입의 패키지 또는 MCP 타입의 패키지에 선택적으로 적용되는 반도체 장치에 대한 파워 노이즈를 최소화 또는 방지하여 반도체 장치의 맵핑션을 최소화 또는 방지할 수 있는 반도체 장치의 신호버스라인 배치구조 및 방법을 제공함에 있다.
- <22> 상기한 본 발명의 목적들 가운데 일부의 목적들을 달성하기 위하여 본 발명의 일 양상(aspect)에 따른 반도체 장치는, 복수의 반도체 회로 컴퍼넌트가 형성되어 있는 반

도체 기판의 상부에 형성되며, 복수의 본딩패드가 줄지어 이격배치되는 방향인 제1방향과는 대체로 직교하는 제2방향으로 서로 이격적으로 배치되고, 상기 각 본딩패드의 형상 및 면적과 유사한 형상 및 면적을 각기 갖는 복수의 랜딩블록과; 상기 제2방향을 따라 상기 복수의 랜딩블록의 상부에 배치되며, 상기 복수의 본딩패드가 위치한 층과 동일한 층에 형성된 적어도 하나의 전원공급 버스를 구비함을 특징으로 한다.

<23>       상기 랜딩블록은 제2 금속층의 하부에 놓여지는 제1 금속층, 플레이트 폴리실리콘층, 또는 게이트 폴리실리콘층 중에서 선택된 하나이상의 도전층일 수 있다.

<24>       또한, 본 발명의 다른 양상에 따라, 에지 패드본딩과 센터 패드본딩이 적용 패키지 타입에 따라 적응적으로 선택되도록 하기 위해 반도체 칩의 센터 영역과 에지 영역에 본딩패드들을 함께 배치하는 반도체 장치에서 전원공급버스의 배치는: 센터 패드본딩의 경우에는 상기 에지 영역에 배치될 본딩패드들 자리에 적어도 하나이상의 전원공급버스를, 상기 센터 영역에 위치되는 센터 본딩패드들과는 직교하는 방향을 따라 대신 배치하고; 에지 패드본딩의 경우에는 상기 센터 영역에 배치될 본딩패드들 자리에 적어도 하나이상의 전원공급버스를, 상기 에지 영역에 위치되는 에지 본딩패드들과는 직교하는 방향을 따라 대신 배치함을 특징으로 한다.

<25>       본 발명의 또 다른 양상에 따라, 적용 패키지 타입에 따라 에지 패드본딩이나 센터 패드본딩이 선택되는 반도체 장치에서의 전원공급 버스라인을 형성하는 방법은, 복수의 반도체 회로 콤포넌트가 형성되어 있는 반도체 기판의 상부에 절연막을 형성하는 단계; 상기 절연막의 상부에, 설정된 본딩패드의 형상 및 면적에 상응하는 형상 및 면적을 각기 갖는 복수의 도전성 랜딩블록을 상기 반도체 기판의 센터 영역과 에지 영역을 따라 서로 이격적으로 형성하는 단계; 상기 복수의 도전성 랜딩블록을 덮는 절연막을 전체적

으로 형성하는 단계; 및 센터 패드본딩의 경우에는 상기 에지 영역에 배치된 상기 복수의 도전성 랜딩블록의 상부에 중첩되도록 상기 전원공급버스라인을, 상기 센터 영역에 위치되는 센터 본딩패드들과는 직교하는 방향을 따라 형성하고, 에지 패드본딩의 경우에는 상기 센터 영역에 배치된 상기 복수의 도전성 랜딩블록의 상부에 중첩되도록 상기 전원공급버스라인을, 상기 에지 영역에 위치되는 에지 본딩패드들과는 직교하는 방향을 따라 형성하는 단계를 가짐을 특징으로 한다.

<26>       상기한 본 발명의 전원공급라인 배치에 따르면, 전원분배측면에서 상대적으로 취약한 위치에 존재하는 전원공급 버스라인 또는 라인들의 라인 폭이 대폭적으로 확장됨에 의해 칩 사이즈의 저감 없이 라인 저항이 획기적으로 감소된다.

#### 【발명의 구성 및 작용】

<27>       이하에서는 본 발명의 실시예들에 따라, 반도체 메모리 등과 같은 반도체 장치의 신호버스라인 배치구조 및 방법이 첨부된 도면들을 참조로 설명될 것이다. 비록 다른 도면에 각기 표시되어 있더라도 동일 또는 유사한 기능을 가지는 구성요소들은 동일 또는 유사한 참조부호로서 라벨링된다. 이하의 다양한 실시예들에서 많은 특정 상세들이 도면을 따라 예를 들어 설명되고 있지만, 이는 본 분야의 통상의 지식을 가진 자에게 본 발명의 이해를 돕기 위한 의도 이외에는 다른 의도 없이 설명되었음을 주목(note)하여야 한다.

<28> 도 2는 본 발명의 제1 실시예에 따라 센터 패드방식의 반도체 메모리 장치에서 전원공급 버스라인의 배치를 보인 것이다. 또한, 도 3 내지 도 6은 도 2내의 특정부(A1)의 확대 상세 및 단면 확대 상세들을 각기 보인 도면들이다.

<29> 먼저, 도 2를 참조하면, 도 1의 경우와 유사하게, 반도체 칩(20)내의 메모리 셀 어레이 영역에는 4개의 메모리 뱅크들(10-13)이 배치되고, 주변영역에는 본딩 패드들(PD)과 전원공급 버스라인들(P1,P2,P11,P21)이 배치된 것이 보여진다. 상기 반도체 칩(20)은 센터 패드방식에 적용되기 때문에, 전원공급 버스라인들(P11,P21)사이에서 센터 영역(CR)의 방향을 따라 줄지어 배치된 본딩 패드들(PD)이 와이어 본딩의 대상이 된다. 이 경우에 전원공급 버스라인들(P1,P2,P11,P21)중에서 에지 영역에 있는 전원공급 버스라인들(P1,P2)의 라인 저항이 상대적으로 크므로, 본 실시예에서는 상기 에지 영역에 배치될 본딩패드들 바로 그 자리에 상기 전원공급 버스라인들(P1,P2)이 확장적으로 배치된다. 즉, 칩사이즈를 증가시키지 없이 전원공급 버스의 라인저항을 최소화하기 위하여, 전원공급 버스라인들(P1,P2)의 라인 폭은 상기 전원공급 버스라인들(P11,P21)보다 상대적으로 크며, 또한, 도 1의 전원공급 버스라인들(P1,P2)의 폭보다 상대적으로 크다. 결국, 도 2와 같이 센터 패드방식의 경우에 본딩패드들(PD)은 에지 영역에는 배치되지 않고, 대신 그 자리에는 확장된 라인 폭을 갖는 전원공급 버스라인들(P1,P2)이 배치된다.

<30> 도면에서, 본딩 패드들(PD)은 상기 전원공급 버스라인들(P11,P21)사이에서 센터 영역(CR)의 방향을 따라서만 줄지어 배치되고, 각각의 에지 영역에는 복수의 랜딩 블록(LB:Landing Block)의 상부에 확장된 라인 폭을 갖는 전원공급 버스라인들(P1,P2)이 각기 배치된다. 여기서, 상기 전원공급 버스라인들(P1,P2)은 상기 본딩 패드들(PD)과 동일한 층에서 동일 재질로 형성될 수 있다.

- <31>       상기 랜딩 블록(LB)과 상기 전원공급 버스라인들(P1,P2)의 확대 상세 및 수직적인 배치관계는 도 3 내지 도 6을 통하여 설명될 것이다.
- <32>       도 3을 참조하면, 도 2내의 특정부(A1)의 확대 상세가 도 3내의 상단에 보여지고, 도 3내의 하단에는 전원공급 버스라인들(P1,P2)중 하나만이 배치되는 경우가 나타나 있다. 도 3의 특정부(A1)는 도 2의 직사각형의 점선 박스(A1)를 확대하여 나타내고 있는데, 두 개의 랜딩 블록(LB)상부에 확장된 라인 폭을 갖는 상기 전원공급 버스라인들(P1,P2)이 배치됨을 알 수 있다. 도 3의 특정부(A1')는 상기 특정부(A1)에서 변경된 것으로서, 두 개의 랜딩 블록(LB)상부에 상기 전원공급 버스라인들(P1,P2)중 하나가 선택적으로 배치된 경우를 보여준다.
- <33>       도 4는 도 2의 주변영역내의 센터 영역에서 보여지는 본딩패드(PD)를 절단선 A-A'를 따라 취한(taken) 단면도이다.
- <34>       도면을 참조하면, 통상적으로 제2금속층(M2)으로 이루어진 본딩패드(150)는 비아홀(VA)에 형성된 콘택 플러그(142)를 통해 하부의 랜딩블록(140)과 연결됨을 알 수 있다. 상기 랜딩블록(140)의 하부에는 단차 보상용 플레이트 폴리실리콘막(120) 및 게이트 폴리실리콘막(102)이 층간 절연막을 개재하여 배치된다. 도 4의 단면구조는, 반도체 제조공정을 통해 반도체 기판(100)상에 게이트 폴리실리콘막(102), 층간 절연막(110), 플레이트 폴리실리콘막(120), 절연막(122), 제1금속층(M1)으로 이루어진 랜딩블록(140), 및 본딩패드(150)를 차례로 형성함에 의해 구현된 것이다. 와이어 본딩공정 이전의 본딩패드 오픈공정에서 최상부의 보호막(160), 질화막(152), 및 질화티타늄막(151)은 윈도우(W)의 사이즈대로 차례로 건식 식각된다.



- <35> 도 4를 통하여 각각의 본딩패드(150)의 하부에는 본딩패드(150)의 형상 및 면적과 유사한 형상 및 면적을 갖는 랜딩블록(140)이 대응적으로 형성됨을 알 수 있다.
- <36> 도 5는 도 2의 주변영역내의 에지 영역에서 보여지는 전원공급 버스라인들(P1,P2)을 절단선 X-X'를 따라 취한 단면도이다.
- <37> 도 5를 참조하면, 도 4의 구조와는 달리, 본딩패드(PD)가 존재함이 없이 제2금속층(M2)으로 이루어진 전원공급 버스라인들(P1,P2)이 절연막(141)의 상부에 형성된 것이 보여진다. 상기 전원공급 버스라인들(P1,P2)의 하부에는 상기 절연막(141)을 개재하여 랜딩블록(140)이 형성되어 있고, 그 하부에는 도 4의 구조와 마찬가지로 단차 보상용 플레이트 폴리실리콘막(120) 및 게이트 폴리 실리콘막(102)이 층간 절연막을 개재하여 형성되어 있다. 도 5의 단면구조에서, 반도체 기판(100)상에 게이트 폴리 실리콘막(102), 층간 절연막(110), 플레이트 폴리실리콘막(120), 절연막(122), 제1금속층(M1)으로 이루어진 랜딩블록(140), 및 절연막(141)까지를 형성하는 공정은 도 4와 동일하며 함께 제조된다. 즉, 도 4의 랜딩블록(140)과 도 5의 랜딩블록(140)은 동일한 금속막 도포공정과 동일한 패터닝공정을 통해 한꺼번에 제조된 것이다.
- <38> 상기 절연막(141)의 형성 후에, 도 4의 랜딩블록(140)의 상부에는 상기 본딩패드(PD)가 만들어지고, 도 5의 랜딩블록(140)의 상부에는 전원 라인의 저항을 줄이기 위해 상기 전원공급 버스라인들(P1,P2)이 본딩패드 대신으로 만들어진다. 상기 본딩패드(PD)와 상기 전원공급 버스라인들(P1,P2)은 식각 패턴만 상이할 뿐 동일한 제2 금속층(M2)으로 함께 만들어진다.
- <39> 도 5에서는 도 4와는 달리 와이어 본딩의 대상이 아니므로 윈도우(W)의 사이즈대로 식각하는 패드 오픈공정에서 보호막(160)이 식각되지 않는다.

- <40> 도 5를 통하여 상기 전원공급 버스라인들(P1,P2)의 하부에는 하나의 본딩패드의 형상 및 면적과 유사한 형상 및 면적을 각기 갖는 복수의 랜딩블록(140)이 동일한 방향으로 줄지어 배치됨을 알 수 있다.
- <41> 도 6은 도 2의 주변영역내의 에지 영역에서 보여지는 전원공급 버스라인(P2)을 절단선 Y-Y'를 따라 취한 단면도이다. 도 6에서는 도 5에서 보여진 전원공급 버스라인(P1)은 나타나지 않고, 랜딩 블록(140)의 상부에 전원공급 버스라인(P2)가 제2금속층(M2)으로써 형성된 것이 보여진다. 상기 랜딩 블록(140)을 포함한 하부의 층들은 전술한 도 5의 구조와 동일 내지 유사하다. 다만, 도 6에서는 도 5의 게이트 폴리실리콘층(102)이 절단선의 위치에 의해 보여지지 않는다.
- <42> 상기의 도면들의 설명에서 제1금속층과 제2금속층은 금속간 절연막(IMD)에 의해 서로 절연되고 수직적으로 상하부에 위치한 층이다. 상기 제1,2 금속층들은 알루미늄(Al) 등과 같은 금속물질로 이루어질 수 있다.
- <43> 상기한 실시예의 경우에, 복수의 반도체 회로 컴퍼넌트 예컨대 모오스 트랜지스터들이 형성되어 있는 반도체 기판(100)의 상부에 형성된 복수의 랜딩블록(140)은, 복수의 본딩패드(PD)가 줄지어 이격배치되는 방향인 제1방향(CR)과는 대체로 직교하는 제2방향(ER)으로 서로 이격적으로 배치되고, 상기 각 본딩패드(PD)의 형상 및 면적과 유사한 형상 및 면적을 각기 갖는다. 상기 각 본딩패드(PD)는 본 실시예의 경우에 가로 100 $\mu$ m, 세로 100 $\mu$ m의 사이즈를 갖는 대체로 사각형의 패드이다. 도 2의 경우에 상기 전원공급 버스라인들(P1,P2)은 상기 제2방향을 따라 상기 복수의 랜딩블록의 상부에 배치되며, 상기 복수의 본딩패드(PD)가 위치한 층과 동일한 층에 형성된다.

- <44>       상기 도 2 내지 도 6의 설명에서 랜딩블록은 설명의 편의상 제2 금속층의 하부에 놓여지는 제1 금속층이 되었으나, 플레이트 폴리실리콘층(120), 또는 게이트 폴리실리콘층(102) 중에서 선택된 하나이상의 도전층이 될 수도 있다. 상기 게이트 폴리실리콘층(102)은 반도체 장치내에 모오스 트랜지스터의 게이트를 만들 때 도포되는 막이다. 상기 플레이트 폴리실리콘층(120)은 메모리 셀 어레이 영역과의 단차를 줄이기 위해 형성된 막이다.
- <45>       본 발명의 제1 실시예에서, 센터영역에 있는 전원공급 버스라인들(P11,P21)에 비해 전원분배측면에서 상대적으로 취약한 전원공급 버스라인들(P1,P2)의 라인 폭을 대폭적으로 확장하는 것에 의해, 칩 사이즈의 저감없이 라인 저항이 감소된다.
- <46>       도 7은 본 발명의 제2 실시예에 따라 에지 패드방식의 반도체 메모리 장치에서 전원공급 버스라인의 배치를 보인 것이다.
- <47>       도 7을 참조하면, 도 1의 경우와 유사하게, 반도체 칩(20)내의 메모리 셀 어레이 영역에는 4개의 메모리 뱅크들(10-13)이 배치되고, 주변영역에는 본딩 패드들(PD)과 전원공급 버스라인들(P1,P2,P11,P21)이 배치된 것이 보여진다. 상기 반도체 칩(20)은 에지 패드방식에 적용되기 때문에, 전원공급 버스라인들(P11,P21)사이에서 에지 영역의 방향을 따라 줄지어 배치된 본딩 패드들(PD)이 와이어 본딩의 대상이 된다. 이 경우에 전원공급 버스라인들(P1,P2,P11,P21)중에서 센터 영역(CR)에 있는 전원공급 버스라인들(P1,P2)의 라인 저항이 상대적으로 크므로, 본 실시예에서는 상기 센터 영역에 배치될 본딩패드들 바로 그 자리에 상기 전원공급 버스라인들(P1,P2)이 확장적으로 배치된다. 즉, 전원공급 버스라인들(P1,P2)의 라인 폭은 상기 전원공급 버스라인들(P11,P21)보다 상대적으로 크며, 도 1의 전원공급 버스라인들(P1,P2)의 폭보다 상대적으로 크다. 결국,

에지 패드방식의 경우에 본딩패드들(PD)은 센터 영역에는 배치되지 않고, 대신 그 자리에는 전원공급 버스라인들(P1,P2)이 확장적으로 배치된다.

<48> 도면의 좌측 및 우측에서, 본딩 패드들(PD)은 상기 전원공급 버스라인들(P11,P21) 사이에서 에지 영역의 방향을 따라서만 줄지어 배치되고, 센터 영역에는 복수의 랜딩 블록(LB)의 상부에 확장된 라인 폭을 갖는 전원공급 버스라인들(P1,P2)이 각기 배치된다. 여기서, 상기 전원공급 버스라인들(P1,P2)은 상기 본딩 패드들(PD)과 동일한 층에서 동일 재질로 형성될 수 있다.

<49> 상기 랜딩 블록(LB)과 상기 전원공급 버스라인들(P1,P2)의 확대 상세는 도 8에 나타나 있으며, 수직적인 배치관계는 전술한 도 3 내지 도 6의 설명과 동일 또는 유사하다.

<50> 도 8을 참조하면, 도 7내의 특정부(B1)의 확대 상세가 도 8의 상단에 보여지고, 도 8의 하단에는 전원공급 버스라인들(P1,P2)중 하나만이 배치되는 경우가 변형예로서 나타나 있다. 도 8의 특정부(B1)는 도 7의 직사각형의 점선 박스(B1)를 확대하여 나타내고 있는데, 이를 통하여 두 개의 랜딩 블록(LB)상부에 확장된 라인 폭을 갖는 상기 전원공급 버스라인들(P1,P2)이 센터 영역을 따라 배치됨을 알 수 있다. 도 8의 특정부(B1')는 상기 특정부(B1)에서 변경된 것으로서, 두 개의 랜딩 블록(LB)상부에 상기 전원공급 버스라인들(P1,P2)중 하나가 선택적으로 배치된 경우를 보여준다.

<51> 상기한 제2 실시예의 경우에, 복수의 반도체 회로 컴퍼넌트 예컨대 모오스 트랜지스터들이 형성되어 있는 반도체 기판(100)의 상부에 형성된 복수의 랜딩블록(LB)은, 복수의 본딩패드(PD)가 줄지어 이격배치되는 방향인 제1방향(ER)과는 대체로 직교하는 제2방향(CR)으로 서로 이격적으로 배치되고, 상기 각 본딩패드(PD)의 형상 및 면적과 유사

한 형상 및 면적을 각기 갖는다. 상기 각 본딩패드(PD)는 상기 제1 실시예의 본딩 패드와 동일하거나 보다 큰 사이즈를 가질 수 있다. 도 7의 경우에 상기 전원공급 버스라인들(P1,P2)은 상기 제2방향(CR)을 따라 상기 복수의 랜딩블록(LB)의 상부에 배치되며, 상기 복수의 본딩패드(PD)가 위치된 층과 동일한 층에 형성된다.

<52> 유사하게, 상기 랜딩블록은 설명의 편의상 제2 금속층의 하부에 놓여지는 제1 금속층이 되었으나, 플레이트 폴리실리콘층(120), 또는 게이트 폴리실리콘층(102) 중에서 선택된 하나이상의 도전층이 될 수도 있다.

<53> 본 발명의 제2 실시예에서도, 에지영역에 있는 전원공급 버스라인들(P11,P21)에 비해 전원분배측면에서 상대적으로 취약한 센터 영역의 전원공급 버스라인들(P1,P2)의 라인 폭을 대폭적으로 확장하는 것에 의해, 칩 사이즈의 저감없이 라인 저항이 감소된다.

<54> 상기한 제1,2 실시예에서 본딩 패드들은 1열로 배치되었지만, 사안에 따라 2열이나 3열로 상기 본딩 패드들이 배치될 수 있음은 물론이다.

<55> 상기한 설명에서는 본 발명의 실시 예를 위주로 도면을 따라 예를 들어 설명하였지만, 본 발명의 기술적 사상의 범위 내에서 본 발명을 다양하게 변형 또는 변경할 수 있음은 본 발명이 속하는 분야의 당업자에게는 명백한 것이다. 예를 들어, 사안이 다른 경우에 전원전압 버스라인들의 개수나 본딩 패드들의 배열관계를 본 발명의 기술적 사상을 벗어남이 없이 다양한 형태로 변경할 수 있음은 물론이다.

**【발명의 효과】**

<56> 상술한 바와 같이, 에지 패드방식과 센터 패드방식이 선택적으로 적용되는 반도체 장치에서 센터 패드방식이 선택될 경우에는 에지 영역에 배치될 본딩패드들 자리에 적어도 하나이상의 전원공급버스를 배치하고, 에지 패드방식이 선택될 경우에는 센터 영역에 배치될 본딩패드들 자리에 적어도 하나이상의 전원공급버스를 배치하는 본 발명에 따르면, 설정된 칩 사이즈를 증가시킴이 없이 파워라인의 폭을 대폭적으로 확장할 수 있으므로 파워라인의 저항이 최소화 또는 감소되는 효과가 있다. 따라서, 파워 노이즈의 증가에 기인하여 반도체 장치에서 발생 가능한 뎀핑션이 최소화 또는 방지되는 이점이 있다.

**【특허청구범위】****【청구항 1】**

복수의 반도체 회로 콤포넌트가 형성되어 있는 반도체 기판의 상부에 형성되며, 복수의 본딩패드가 줄지어 이격배치되는 방향인 제1방향과는 대체로 직교하는 제2방향으로 서로 이격적으로 배치되고, 상기 각 본딩패드의 형상 및 면적과 유사한 형상 및 면적을 각기 갖는 복수의 랜딩블록과;

상기 제2방향을 따라 상기 복수의 랜딩블록의 상부에 배치되며, 상기 복수의 본딩패드가 위치된 층과 동일한 층에 형성된 적어도 하나의 전원공급 버스를 구비함을 특징으로 하는 반도체 장치.

**【청구항 2】**

제1항에 있어서, 상기 복수의 랜딩블록은 제1 금속층으로 구성됨을 특징으로 하는 반도체 장치.

**【청구항 3】**

제1항에 있어서, 상기 복수의 랜딩블록은 플레이트 폴리실리콘층으로 구성됨을 특징으로 하는 반도체 장치.

**【청구항 4】**

제1항에 있어서, 상기 복수의 랜딩블록은 게이트 폴리실리콘층으로 구성됨을 특징으로 하는 반도체 장치.

**【청구항 5】**

제1항에 있어서, 상기 복수의 랜딩블록은 제1 금속층, 플레이트 폴리실리콘층, 게이트 폴리실리콘층 중 하나이상의 층으로 구성됨을 특징으로 하는 반도체 장치.

**【청구항 6】**

제1항에 있어서, 상기 복수의 랜딩블록은 도전성 재질로 이루어짐을 특징으로 하는 반도체 장치.

**【청구항 7】**

제1항에 있어서, 상기 전원공급 버스와 상기 복수의 랜딩블록 사이에는 절연막이 개재됨을 특징으로 하는 반도체 장치.

**【청구항 8】**

제1항에 있어서, 상기 제1방향이 상기 반도체 기판의 센터방향인 경우에 센터 패드 본딩이 상기 반도체 장치에 적용되고, 상기 제1방향이 상기 반도체 기판의 에지방향인 경우에 에지 패드 본딩이 상기 반도체 장치에 적용됨을 특징으로 하는 반도체 장치.



**【청구항 9】**

제1항에 있어서, 상기 복수의 본딩패드는 센터 패드 본딩 또는 에지 패드 본딩에 양립함을 특징으로 하는 반도체 장치.

**【청구항 10】**

제1항에 있어서, 상기 전원공급 버스는 전원전압을 공급하기 위한 금속라인임을 특징으로 하는 반도체 장치.

**【청구항 11】**

제1항에 있어서, 상기 전원공급 버스는 접지전압을 공급하기 위한 금속라인임을 특징으로 하는 반도체 장치.

**【청구항 12】**

제1항에 있어서, 상기 전원공급 버스는 전원전압 및/또는 접지전압을 공급하기 위한 금속라인임을 특징으로 하는 반도체 장치.

**【청구항 13】**

제1항에 있어서, 상기 전원공급 버스의 폭은 상기 복수의 본딩패드와 나란히 배치된 제1방향의 전원공급 버스의 폭보다는 크며, 상기 제1방향의 전원공급 버스와는 하부층을 통해 연결됨을 특징으로 하는 반도체 장치.

**【청구항 14】**

제1항에 있어서, 상기 복수의 랜딩블록은, 상기 복수의 본딩패드의 하부에 각기 대응 위치된 패드 연결블록과 동일한 층으로 형성되며, 상기 패드 연결블록과 거의 동일한 형상을 가짐을 특징으로 하는 반도체 장치.

**【청구항 15】**

에지 패드본딩과 센터 패드본딩이 적용 패키지 타입에 따라 적응적으로 선택되도록 하기 위해 반도체 칩의 센터 영역과 에지 영역에 본딩패드들을 함께 배치하는 반도체 장치에 있어서:

센터 패드본딩의 경우에는 상기 에지 영역에 배치될 본딩패드들 자리에 적어도 하나 이상의 전원공급버스를, 상기 센터 영역에 위치되는 센터 본딩패드들과는 직교하는 방향을 따라 대신 배치하고;

에지 패드본딩의 경우에는 상기 센터 영역에 배치될 본딩패드들 자리에 적어도 하나 이상의 전원공급버스를, 상기 에지 영역에 위치되는 에지 본딩패드들과는 직교하는 방향을 따라 대신 배치함을 특징으로 하는 반도체 장치.

**【청구항 16】**

제15항에 있어서, 상기 본딩패드들 자리의 수직하부에는:

복수의 반도체 회로 콤포넌트가 형성되어 있는 반도체 기판의 상부에 서로 이격적으로 배치되고, 상기 각 본딩패드의 형상 및 면적에 거의 같은 형상 및 면적을 각기 갖

는 복수의 랜딩블록이, 절연막을 개재하여 대응적으로 형성됨을 특징으로 하는 반도체 장치.

**【청구항 17】**

제16항에 있어서, 상기 복수의 랜딩블록은 제1 금속층, 플레이트 폴리실리콘층, 및 게이트 폴리실리콘층 중에서 적어도 어느 하나 이상의 층으로 구성됨을 특징으로 하는 반도체 장치.

**【청구항 18】**

제16항에 있어서, 상기 전원공급 버스는 전원전압 또는 접지전압을 공급하기 위한 금속라인임을 특징으로 하는 반도체 장치.

**【청구항 19】**

복수의 트랜지스터가 형성된 반도체 기판의 상부에 형성되며, 복수의 본딩패드가 줄지어 이격배치되는 방향인 제1방향과는 대체로 직교하는 제2방향으로 서로 이격적으로 배치되고, 상기 각 본딩패드의 형상 및 면적과 유사한 형상 및 면적을 각기 갖는 복수의 도전성 랜딩블록과;

적어도 1층이상의 절연막을 개재하여 상기 제2방향을 따라 상기 복수의 도전성 랜딩블록의 상부에 배치되고, 각 도전성 랜딩블록과는 최소로 각 도전성 랜딩블록의 쿼터 면적만큼 중첩되고 최대로 각 도전성 랜딩블록의 하프 면적만큼 중첩되



며, 상기 복수의 본딩패드가 위치된 층과 동일한 층에 형성된 적어도 하나의 전원공급 버스를 구비함을 특징으로 하는 반도체 장치.

【청구항 20】

적용 패키지 타입에 따라 에지 패드본딩이나 센터 패드본딩이 선택되는 반도체 장치에서의 전원공급 버스라인을 형성하는 방법에 있어서:

복수의 반도체 회로 콤포넌트가 형성되어 있는 반도체 기판의 상부에 절연막을 형성하는 단계;

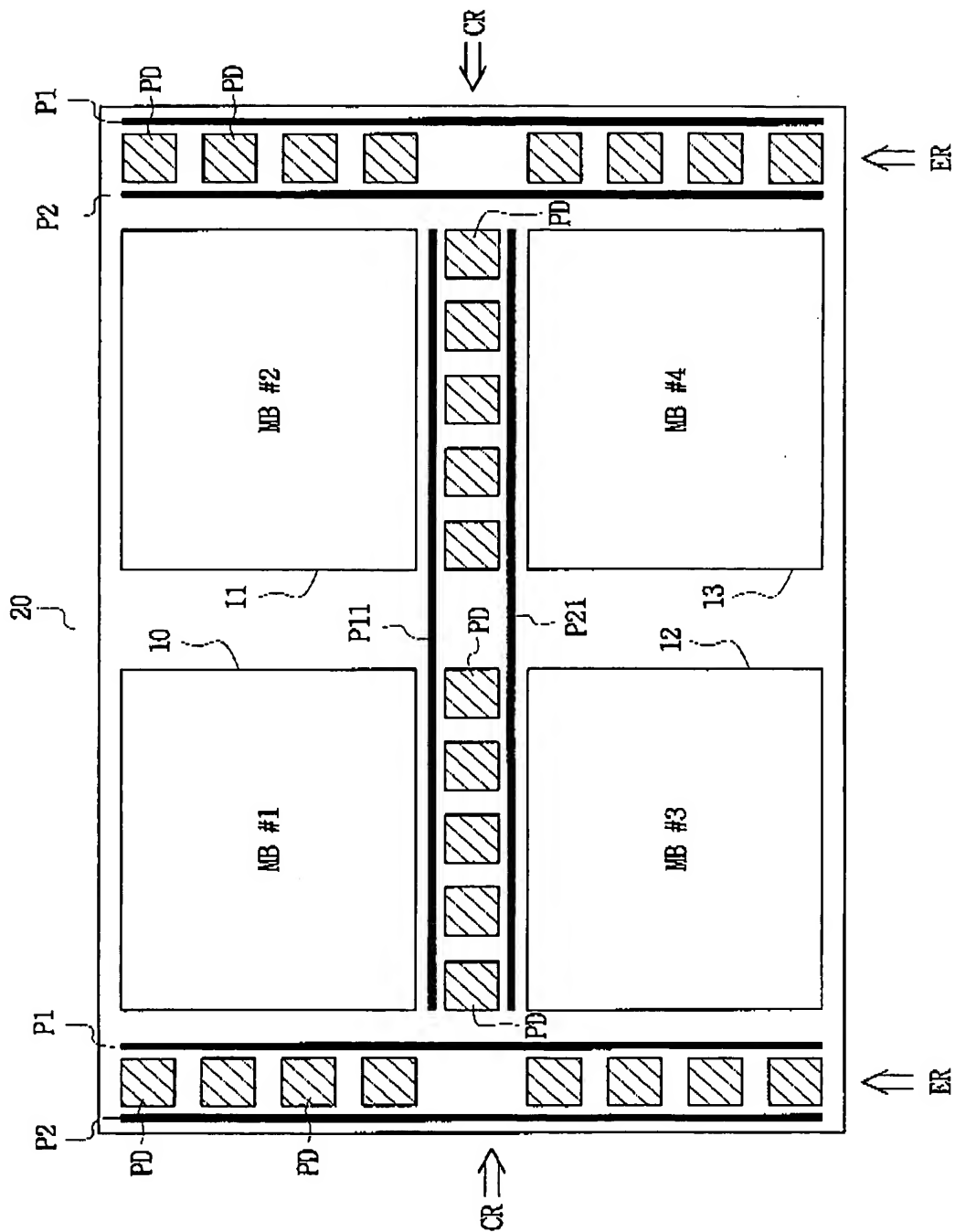
상기 절연막의 상부에, 설정된 본딩패드의 형상 및 면적에 상응하는 형상 및 면적을 각기 갖는 복수의 도전성 랜딩블록을 상기 반도체 기판의 센터 영역과 에지 영역을 따라 서로 이격적으로 형성하는 단계;

상기 복수의 도전성 랜딩블록을 덮는 절연막을 전체적으로 형성하는 단계; 및

센터 패드본딩의 경우에는 상기 에지 영역에 배치된 상기 복수의 도전성 랜딩블록의 상부에 중첩되도록 상기 전원공급버스라인을, 상기 센터 영역에 위치되는 센터 본딩패드들과는 직교하는 방향을 따라 형성하고, 에지 패드본딩의 경우에는 상기 센터 영역에 배치된 상기 복수의 도전성 랜딩블록의 상부에 중첩되도록 상기 전원공급버스라인을, 상기 에지 영역에 위치되는 에지 본딩패드들과는 직교하는 방향을 따라 형성하는 단계를 구비함을 특징으로 하는 방법.

【청구항 21】

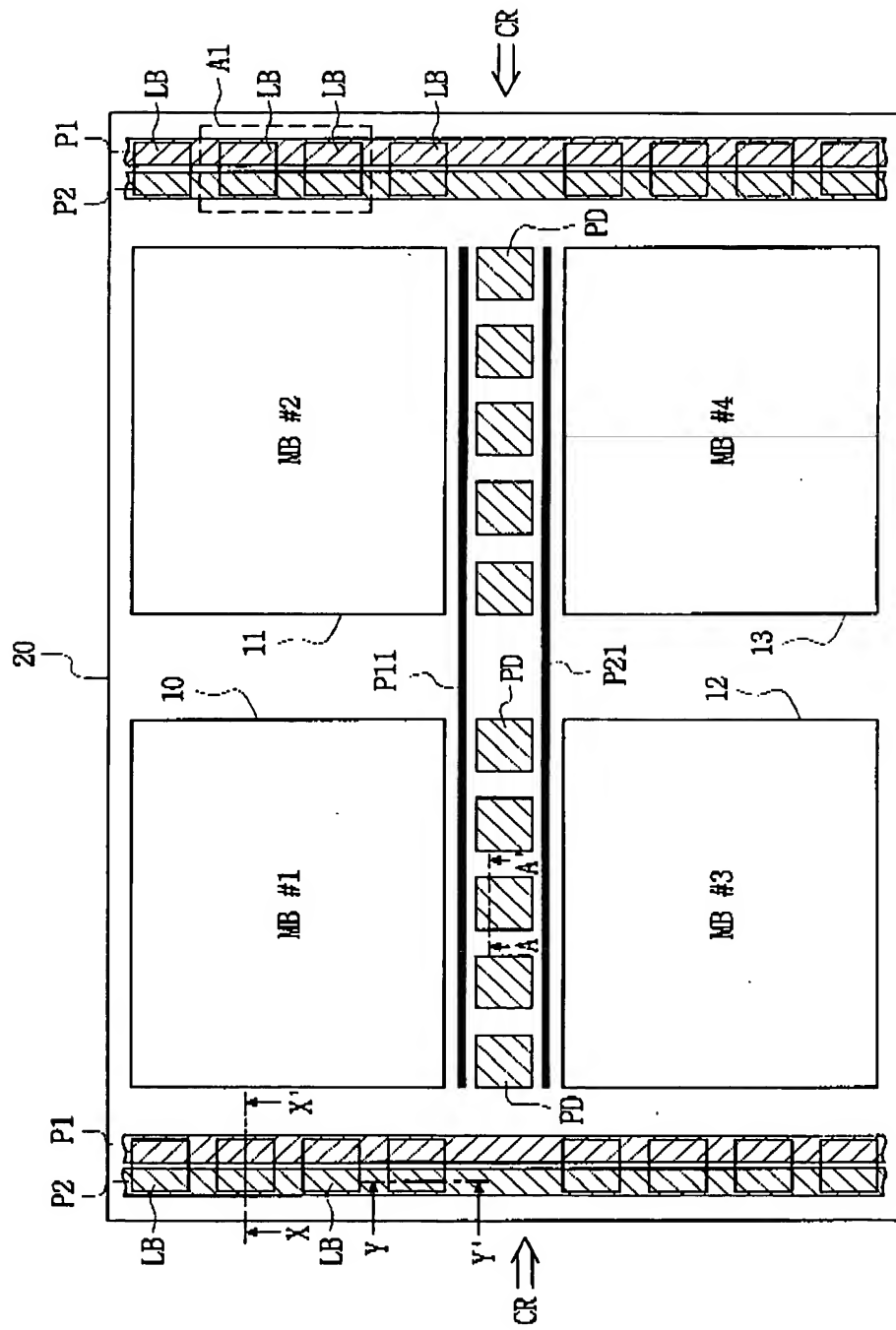
제20항에 있어서, 상기 복수의 도전성 랜딩블록은 제1 금속층, 플레이트 폴리실리콘층, 게이트 폴리실리콘층 중 선택된 하나이상의 층으로 구성됨을 특징으로 하는 방법.



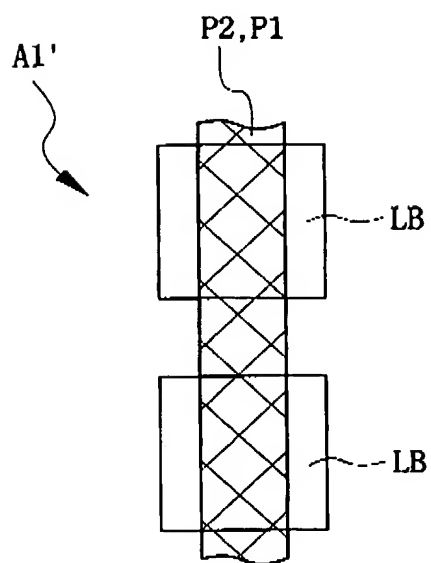
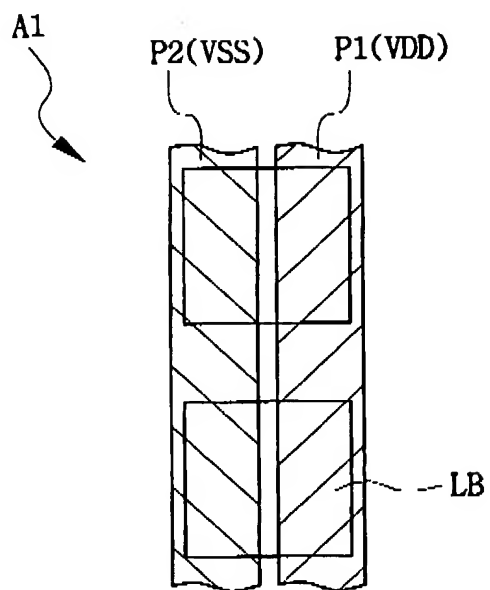
【도면 1】

【도면 2】

【도 2】

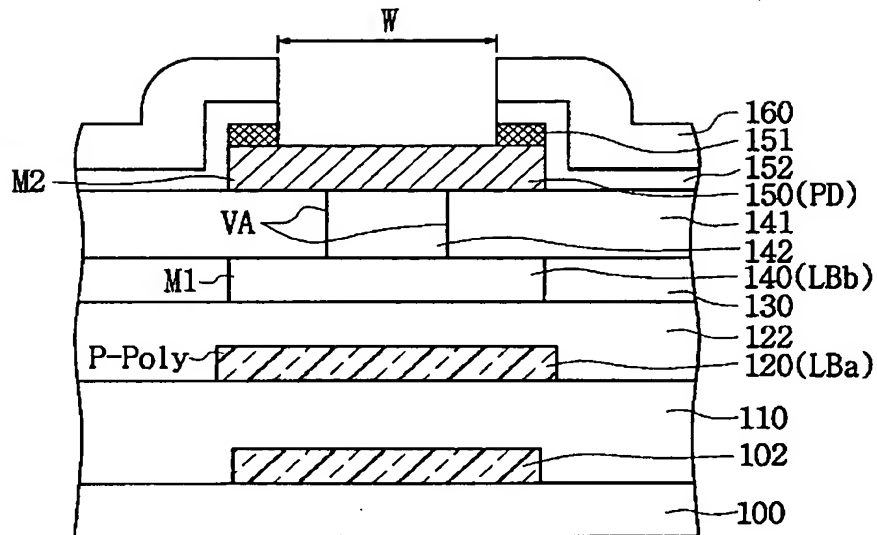


【도 3】

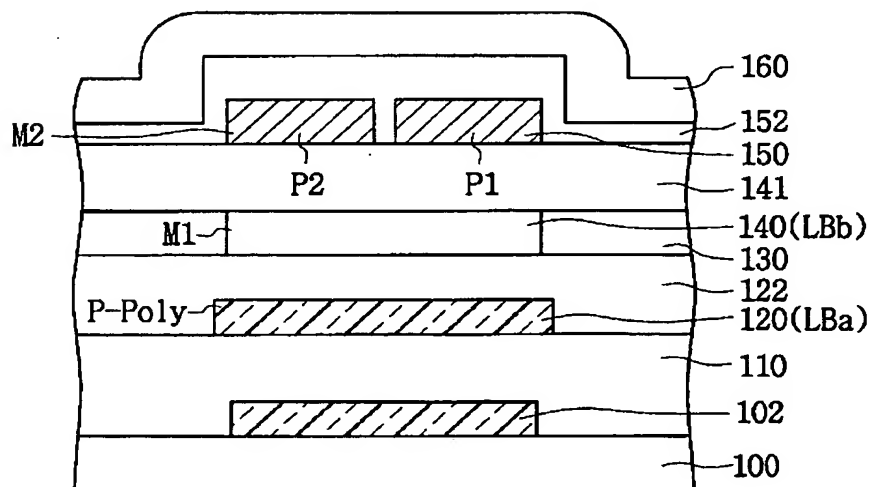




【도 4】

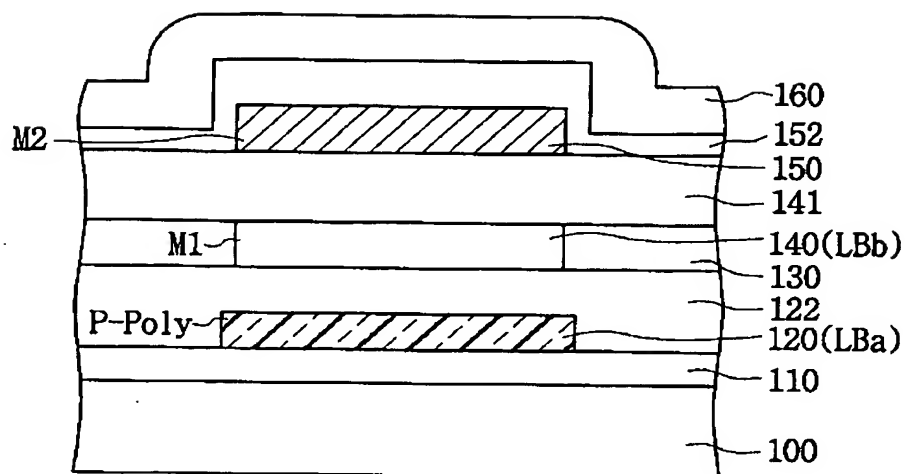
A-A'

【도 5】

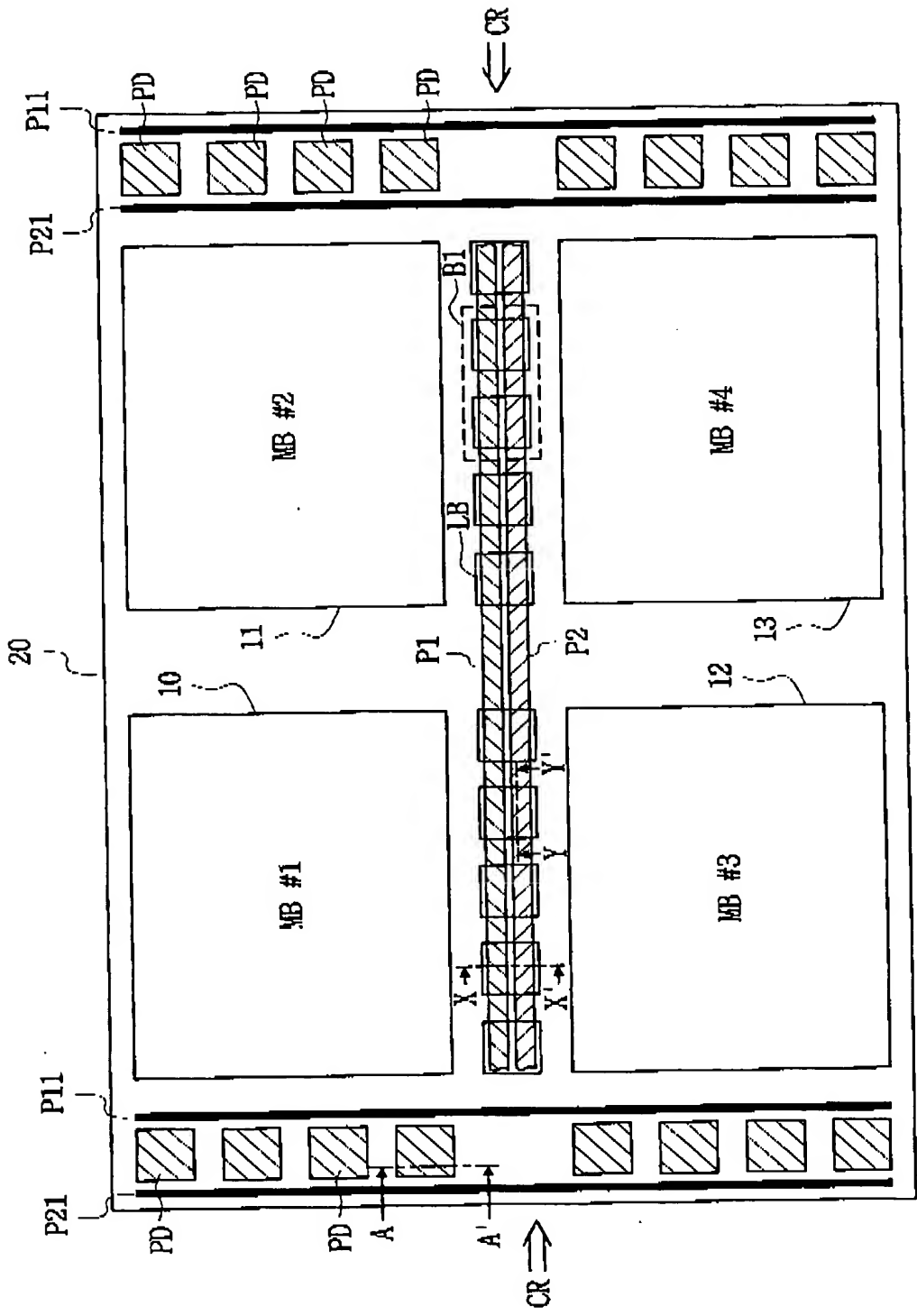
X-X'

【도 6】

Y-Y'



【도 7】



【도 8】

